**PARCIAL 1 IC**

1. En cuanto a los **riesgos por dependencia de datos** en las arquitecturas superescalares… Seleccione una:

* Los **riesgos RAW** (lectura después de escritura) son los únicos riesgos que **no se pueden solucionar por completo**.

1. En un esquema de **predicción explícita**, los bits de predicción:

Seleccione una:

* Se pueden **almacenar** de forma **acoplada** a una estructura existente (como la BTB) **o** de forma **independiente** de una estructura específica que almacene únicamente la historia de los saltos.

1. El **mejor tipo de benchmark** para evaluar un sistema es:

Seleccione una:

* **Depende** de lo que se desee **evaluar**.

1. ¿Qué **diferencias** existen entre las **estaciones** de **reserva** y la **ventana** de **instrucciones**?

* Las **instrucciones** que se **encuentran** en la **estación** de reserva han sido **enviadas** a ejecución, mientras que las **instrucciones** que se **encuentran** en la **ventana** de instrucciones aún **no** han sido **enviadas** a **ejecución**.

1. El **algoritmo** de **renombrado** se utiliza en las arquitecturas **superescalares** para:

* Para **evitar** los efectos de los **riesgos** WAR y WAW

1. ¿Cuál de las siguientes opciones **no** **es** una **ventaja** del **buffer** **de** **renombrado** **con** **acceso** **asociativo** frente al acceso indexado?

* La **búsqueda** de un **registro** se debe hacer **comprando** el **registro** **con** **todas** las **entradas** hasta encontrarlo.

1. Una **ventaja** de **instrucciones** **alineada** es:

* Una ventana de instrucciones cuando está **completamente** **vacía**.

1. El **almacenamiento** **implícito** de la **predicción** de un **salto** consiste en:

* **No** se **almacena** la **predicción** **sin** la **dirección** del salto en el buffer correspondiente y en el **almacenamiento** se decide la **predicción**.

1. El **buffer** de **reorden** en una arquitectura superescalar permite:

* La **ejecución** de las instrucciones **fuera** de **orden**.

1. Suponiendo que los **ciclos de latencia** de inicio para una máquina vectorial son los siguiente:

Cargas 7

Sumas 3

Desplazamientos 4

Y queremos realizar una operación de carga, suma y desplazamiento con encadenamiento de cauce para un vector de 10 componentes. ¿Cuántos ciclos tardaríamos?

* **7 + 3 + 4 + 10**

1. ¿Cuál de las siguientes **afirmaciones** es **correcta** para la **gestión** de **riesgo** de control?

* El **procesamiento** **especulativo** de los saltos es la **estrategia** más **común** en los procesadores **superescalares**.

1. Una **arquitectura** **vectorial** es:

* **Todas las respuestas son correctas.**
* Una arquitectura donde cada operación vectorial codifica gran cantidad de cálculo, reduciendo el número de instrucciones y evitando riesgos de control.
* Una arquitectura donde el cálculo de los componentes del vector se realiza de forma independiente obteniendo buenos rendimientos.
* Una arquitectura orientada al procesamiento de vectores (suma de vectores, productos escalares…)

1. ¿Cuál de las **siguientes** **afirmaciones** es **correcta**?

* **Todas las afirmaciones son correctas**
* La tabla de historia de los saltos con bits desacoplados aumenta el hardware necesario para gestionar los saltos.
* Los campos de la BTB se actualizan después de ejecutar el salto.
* La tabla de historia de los saltos con bits desacoplados permite predecir instrucciones que no estén en la BTAC.

1. ¿Cuál de las **siguientes** **afirmaciones** es **incorrecta**?

* El **buffer** de **renombrado** **puede** estar **mezclado** con los **registros** de la arquitectura.

1. ¿Cuál de las **siguientes** **opciones** **no** es una **ventaja** del **buffer** de **renombrado** con acceso asociativo frente al acceso indexado?

* **Tiene** **un** **elemento** que **indica** si el **valor** es **válido** **o** **no**.

1. Ante un **salto** **incondicional** se pueden **utilizar** los **siguientes** **tipos** de **predicción**:

* La **predicción** **no** **tiene** **sentido** **cuando** el salto es **incondicional**.

1. El **acceso** a **memoria** **concurrente** o **tipo** **C** es:

* Un tipo de acceso **utilizado** por **arquitecturas** **vectoriales** que permite **acceder** a **posiciones** de **memoria** en diferentes bloques de forma **concurrente**.

1. El **paralelismo** a **nivel** de **instrucción** o **ILP** es:

* Un **paralelismo** **funcional** que consiste en **ejecutar varias instrucciones a la vez**.

1. ¿Cuáles son las **diferencias** entre la **BTAC** y la **BTIC?**

* La **BTAC** contiene las **direcciones** de **destino** de **salto** mientras que la **BTIC** contiene las **instrucciones** de **destino** del **salto**.

1. Indica cuál es la **incorecta**:

* En el **buffer** de **renombrado** se **utiliza** un **puntero**…